

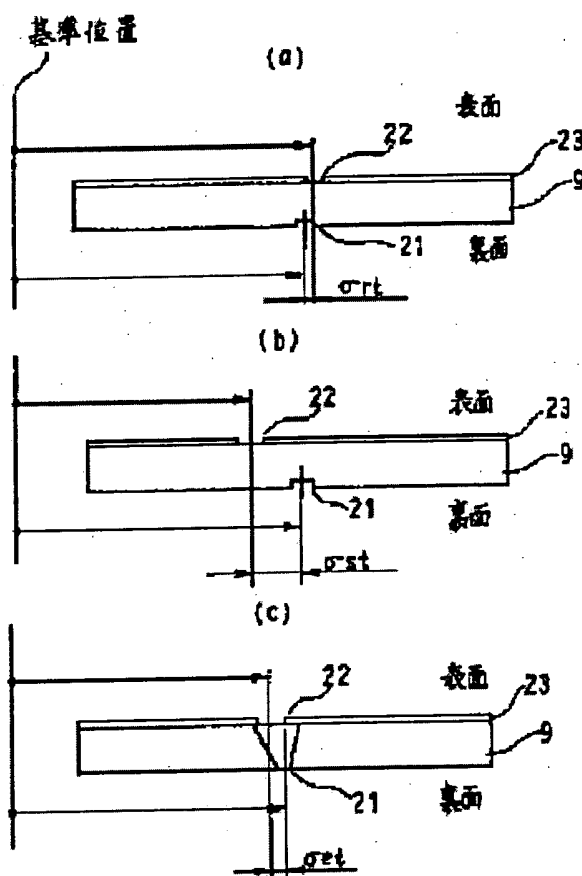
MANUFACTURE OF ELECTRONIC COMPONENT AND REDUCTION STEPPER, ELECTRON BEAM AND X-RAY LITHOGRAPHIC EQUIPMENTS, AND WHICH ARE USED FOR THE SAME, AND WAFER

Patent number: JP5114543
Publication date: 1993-05-07
Inventor: KATAGIRI SOUICHI; others: 02
Applicant: HITACHI LTD
Classification:
- international: H01L21/027
- european:
Application number: JP19910273777 19911022
Priority number(s):

Abstract of JP5114543

PURPOSE:To obtain a manufacturing method of electronic component wherein alignment precision is improved, a demagnification projection aligner, an electron beam and an X-ray lithographic equipments, and which are used for said method, and a wafer which is used for them.

CONSTITUTION:In the manufacturing process of electronic parts like a semiconductor device, alignment in the initial lithography process is performed by using an alignment mark 21 on the rear, and an alignment mark 22 is formed also on the surface at the same time as the pattern formation. In the later process, alignment is performed at least one time by using the alignment mark 22 on the surface. A reduction stepper, an electron beam and an X-ray lithographic equipments have a rear position detection optical system for a wafer and a surface position detection system using light, an electron beam and an X-ray beam.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-114543

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/027		7352-4M	H 0 1 L 21/ 30	3 1 1 M
		7352-4M		3 1 1 L
		7352-4M		3 3 1 J
		8831-4M		3 4 1 K
審査請求 未請求 請求項の数15(全 11 頁)				

(21)出願番号 特願平3-273777

(22)出願日 平成3年(1991)10月22日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 片桐 創一

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 寺澤 恒男

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 森山 茂夫

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

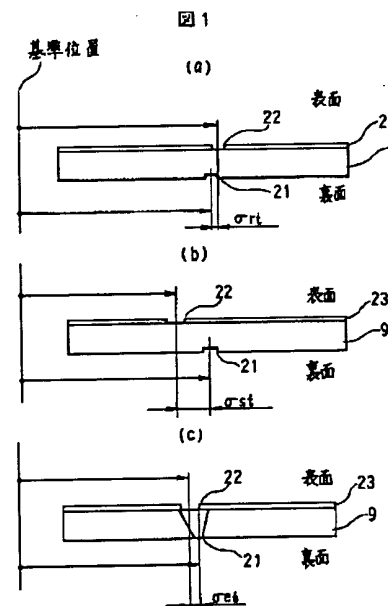
(74)代理人 弁理士 薄田 利幸 (外1名)

(54)【発明の名称】 電子部品の製造方法並びにそれに用いる縮小投影露光装置、電子線描画装置及びX線露光装置並

(57)【要約】 びにウェハ

【目的】位置合わせ精度を向上させた電子部品の製造方法並びにそれに用いる縮小投影露光装置、電子線描画装置及びX線露光装置並びにそれに用いるウェハを提供すること。

【構成】半導体装置等の電子部品の製造工程の中で最初のリソグラフィ工程を裏面のアライメントマーク21を用いてアライメントを行い、パターン形成と共に表面にもアライメントマーク22を形成する。以下の工程で少なくとも1回表面のアライメントマーク22を用いてアライメントを行う。縮小投影露光装置、電子線描画装置及びX線露光装置は、ウェハの裏面位置検出光学系と光、電子線、X線による表面位置検出系を有する。



9...ウェハ
21, 22...アライメントマーク
23...レジスト

【特許請求の範囲】

【請求項1】 所望のパターンを設けた第1の基板と該パターンが転写される第2の基板を所定の位置に設置し、第2の基板の位置を、その裏面に予め設けられたアライメントマークによって検出し、第2の基板と第1の基板の相対的位置を調整し、該パターンを第2の基板表面に転写すると共に、第2の基板表面に第2のアライメントマークを形成することを特徴とする電子部品の製造方法。

【請求項2】 請求項1記載の電子部品の製造方法において、上記パターンの転写は、縮小投影露光により行うことを特徴とする電子部品の製造方法。

【請求項3】 請求項1記載の電子部品の製造方法において、上記パターンの転写は、X線の投影により行うことを特徴とする電子部品の製造方法。

【請求項4】 所望のパターンが描画される基板を所定の位置に設置し、該基板の位置を、その裏面に予め設けられたアライメントマークによって検出し、該基板の位置と該パターンの形成される位置とを相対的に調整し、該パターンを該基板表面に描画すると共に、基板表面に第2のアライメントマークを形成することを特徴とする電子部品の製造方法。

【請求項5】 請求項1から4のいずれか1に記載の電子部品の製造方法において、上記電子部品は半導体装置であることを特徴とする電子部品の製造方法。

【請求項6】 請求項5記載の電子部品の製造方法において、上記半導体装置は、絶縁ゲート型電界効果トランジスタを有する半導体装置であることを特徴とする電子部品の製造方法。

【請求項7】 請求項5記載の電子部品の製造方法において、上記半導体装置は、n型チャネルとp型チャネルを持つ絶縁ゲート型電界効果トランジスタを有する半導体装置であることを特徴とする電子部品の製造方法。

【請求項8】 請求項5記載の電子部品の製造方法において、上記半導体装置は、バイポーラトランジスタ及びn型チャネルとp型チャネルを持つ絶縁ゲート型電界効果トランジスタを有する半導体装置であることを特徴とする電子部品の製造方法。

【請求項9】 所望のパターンを設けた第1の基板を保持するための手段、第1の基板を照射する光源、照射された第1の基板のパターンを縮小投影するための縮小投影レンズ及び該パターンが転写される第2の基板を保持するための手段を有する縮小投影露光装置において、第2の基板の表及び裏にそれぞれ設けられたアライメントマークを検出するための少なくとも2個の検出光学系を有することを特徴とする縮小投影露光装置。

【請求項10】 電子銃、描画データが格納される描画データ記憶部、パターンが描画される基板を保持するための手段及び電子銃から照射される電子線を用いて、描画データに従って基板上にパターンを描画するための電子

レンズを有する電子線描画装置において、該基板の裏に設けられたアライメントマークを検出するための検出光学系と該基板の表に設けられたアライメントマークを検出するための検出系を有することを特徴とする電子線描画装置。

【請求項11】 所望のパターンを設けた第1の基板を保持するための手段、第1の基板を照射するX線源、照射された第1の基板のパターンを縮小投影するための縮小投影光学系及び該パターンが転写される第2の基板を保持するための手段を有するX線露光装置において、第2の基板の裏に設けられたアライメントマークを検出するための検出光学系と第2の基板の表に設けられたアライメントマークを検出するための検出系を有することを特徴とするX線露光装置。

【請求項12】 表面に所望のパターンが形成されるウェハにおいて、表面及び裏面にそれぞれアライメントマークを有することを特徴とするウェハ。

【請求項13】 請求項12記載のウェハにおいて、上記表面のアライメントマークは、光に対して作用するマークであることを特徴とするウェハ。

【請求項14】 請求項12記載のウェハにおいて、上記表面のアライメントマークは、電子線に対して作用するマークであることを特徴とするウェハ。

【請求項15】 請求項12記載のウェハにおいて、上記表面のアライメントマークは、X線に対して作用するマークであることを特徴とするウェハ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置、薄膜磁気ヘッド等の電子部品の製造方法及びにそれに用いるのに適した縮小投影露光装置、電子線描画装置及びX線露光装置並びに半導体装置の製造に用いるウェハに関する。

【0002】

【従来の技術】 半導体装置の製造は、マスクパターンをウェハ表面に転写する工程を有しており、その際両者の位置合わせ（以下アライメントという）を必要とした。このアライメントはウェハ表面にマークを形成し、この位置を光学的に検出して行っていた。しかし、 $0.2\mu\text{m}$ ルール以降の半導体装置の製造には、 $0.03\mu\text{m}$ より高いアライメント精度が要求され、この精度は、ウェハ表面のマークを検出する方法では、レジストの塗布むらやマークのダメージ等に起因する検出誤差によって達成が困難となった。

【0003】 そのため、特公昭55-46053号公報に記載のように、ウェハの裏面マークを検出する方法が行われた。この方法は、ウェハプロセスの影響を受けにくい位置検出光学系として、ウェハ裏面に設けたマークの位置を検出する方法である。裏面検出アライメントシステムを有する露光装置で半導体集積回路を製造する場合、表面検出は用いずに、裏面検出のみで第一の工程か

ら最終工程まで行っていた。

【0004】

【発明が解決しようとする課題】上記従来の裏面マーク検出法を用いると、次のような問題が生じた。実際に半導体集積回路を製造する場合には、既存の従来型の露光装置を混用して用いることが考えられる。従来はアライメント方式として表面検出法を用いていることから、ウェハの表裏面の位置の対応をつける必要が生じて来る。表裏の対応をつけずに裏面検出と表面検出を混用するとアライメント精度の劣化に直接つながり、好ましくない。この問題を解決しない場合、実際の半導体製造に支障をきたすことになる。

【0005】本発明の第1の目的は、アライメント精度の低下を招くことなく表面検出法と裏面検出法の混用によって、微細パターンを形成可能な半導体装置の製造方法を提供することにある。本発明の第2の目的は、この製造方法に用いるのに適した縮小投影露光装置を提供することにある。本発明の第3の目的は、この製造方法に用いるのに適した電子線描画装置を提供することにある。本発明の第4の目的は、この製造方法に用いるのに適したX線露光装置を提供することにある。本発明の第5の目的は、この製造方法に用いるのに適したウェハを提供することにある。

【0006】

【課題を解決するための手段】上記第1の目的は、

(1) 所望のパターンを設けた第1の基板と該パターンが転写される第2の基板を所定の位置に設置し、第2の基板の位置を、その裏面に予め設けられたアライメントマークによって検出し、第2の基板と第1の基板の相対的位置を調整し、該パターンを第2の基板表面に転写すると共に、第2の基板表面に第2のアライメントマークを形成することを特徴とする電子部品の製造方法、

(2) 上記1記載の電子部品の製造方法において、上記パターンの転写は、縮小投影露光により行うことを特徴とする電子部品の製造方法、(3) 上記1記載の電子部品の製造方法において、上記パターンの転写は、X線の投影により行うことを特徴とする電子部品の製造方法、

(4) 所望のパターンが描画される基板を所定の位置に設置し、該基板の位置を、その裏面に予め設けられたアライメントマークによって検出し、該基板の位置と該パターンの形成される位置とを相対的に調整し、該パターンを該基板表面に描画すると共に、基板表面に第2のアライメントマークを形成することを特徴とする電子部品の製造方法、(5) 上記1から4のいずれか1に記載の電子部品の製造方法において、上記電子部品は半導体装置であることを特徴とする電子部品の製造方法、(6) 上記5記載の電子部品の製造方法において、上記半導体装置は、絶縁ゲート型電界効果トランジスタを有する半導体装置であることを特徴とする電子部品の製造方法、

(7) 上記5記載の電子部品の製造方法において、上記

半導体装置は、n型チャネルとp型チャネルを持つ絶縁ゲート型電界効果トランジスタを有する半導体装置であることを特徴とする電子部品の製造方法、(8) 上記5記載の電子部品の製造方法において、上記半導体装置は、バイポーラトランジスタ及びn型チャネルとp型チャネルを持つ絶縁ゲート型電界効果トランジスタを有する半導体装置であることを特徴とする電子部品の製造方法によって達成される。

【0007】上記第2の目的は、(9) 所望のパターンを設けた第1の基板を保持するための手段、第1の基板を照射する光源、照射された第1の基板のパターンを縮小投影するための縮小投影レンズ及び該パターンが転写される第2の基板を保持するための手段を有する縮小投影露光装置において、第2の基板の表及び裏にそれぞれ設けられたアライメントマークを検出するための少なくとも2個の検出光学系を有することを特徴とする縮小投影露光装置によって達成される。

【0008】上記第3の目的は、(10) 電子銃、描画データが格納される描画データ記憶部、パターンが描画される基板を保持するための手段及び電子銃から照射される電子線を用いて、描画データに従って基板上にパターンを描画するための電子レンズを有する電子線描画装置において、該基板の裏に設けられたアライメントマークを検出するための検出光学系と該基板の表に設けられたアライメントマークを検出するための検出系を有することを特徴とする電子線描画装置によって達成される。

【0009】上記第4の目的は、(11) 所望のパターンを設けた第1の基板を保持するための手段、第1の基板を照射するX線源、照射された第1の基板のパターンを縮小投影するための縮小投影光学系及び該パターンが転写される第2の基板を保持するための手段を有するX線露光装置において、第2の基板の裏に設けられたアライメントマークを検出するための検出光学系と第2の基板の表に設けられたアライメントマークを検出するための検出系を有することを特徴とするX線露光装置によって達成される。

【0010】上記第5の目的は、(12) 表面に所望のパターンが形成されるウェハにおいて、表面及び裏面にそれぞれアライメントマークを有することを特徴とするウェハ、(13) 上記12記載のウェハにおいて、上記表面のアライメントマークは、光に対して作用するマークであることを特徴とするウェハ、(14) 上記12記載のウェハにおいて、上記表面のアライメントマークは、電子線に対して作用するマークであることを特徴とするウェハ、(15) 上記12記載のウェハにおいて、上記表面のアライメントマークは、X線に対して作用するマークであることを特徴とするウェハによって達成される。

【0011】本発明の電子部品の製造方法は、第2の基板の位置を、その裏面に設けられたアライメントマーク

によって検出し、それに基づいて、パターンを第2の基板表面に転写すると共に、第2の基板表面に第2のアライメントマークを形成するものである。以下の工程において、少なくとも1度、表面の第2のアライメントマークによって位置検出を行い、パターンを形成する。以下の工程すべて、表面の第2のアライメントマークを用いてもよい。また、一部の工程は裏面のアライメントマークを用いてもよい。一般的には位置合わせに高い精密度の要求される工程では裏面のアライメントマークを用いることが好ましい。

【0012】本発明のウェハは、上述のように表面及び裏面にそれぞれアライメントマークを有する。光に対するアライメントマークは、基板に形成された溝、穴、凸部、格子状の凹凸、基板と反射率の異なる金属等により構成される。電子線に対するアライメントマークは、上記と同様の凹部や凸部、2次電子を発生する材料等により構成される。X線に対するアライメントマークは、上記と同様の凹部や凸部、X線の吸収体又は反射体等により構成される。

【0013】

$$\sigma_{rt} = \sqrt{\sigma_r^2 + \sigma_s^2}$$

【0015】次に、図1(b)に示すような第一のリソグラフィ工程で表面検出法を用いた場合を例にとって以下に説明する。一般的に第一層目のリソグラフィ工程においては、ウェハ9のオリエンテーションフラット（通称オリフラ）を基準に機械的な精度でウェハ9を位置決めした後パターンを転写する。この機械的な位置決めによる誤差 σ_m は、 $\pm 5 \mu m$ （3 σ ）程度である。この

$$\sigma_{st} = \sigma_r + \sigma_m$$

【0017】また、図1(c)に示すような第一層目を表面検出システムでオリフラ合わせによって位置決めした後露光し、表面に開口部を形成し、異方性エッチングによって貫通穴を設けて第二層目を形成するために用いる裏面検出用マーク21とする場合は、異方性エッチングの非対称加工誤差 σ_s （ウェハの厚さ400 μm で20 μm （3 σ ）程度）が含まれる。この誤差はウェハ

$$\sigma_{st} = \sqrt{\sigma_s^2 + \sigma_r^2}$$

【0019】式1と式2と式3から明らかなように、表面検出システムを有するリソグラフィ装置と裏面検出システムを有するリソグラフィ装置を混用して半導体集積回路を製造する場合、第一のリソグラフィ工程で裏面検出アライメントを行う方法が優れたアライメント精度を実現できることが分かる。

【0020】

【実施例】〈実施例1〉初めに、リソグラフィ装置とし

【作用】図1を用いて本発明の作用を詳細に説明する。

図1(a)は、本発明による例である。両面がミラー面に加工されたウェハ9の裏面に裏面検出用のアライメントマーク21を形成する。このウェハ9の第一層目のリソグラフィ工程を施す際に、裏面検出アライメントシステムを用いた露光装置に設置して、ウェハ9の位置を裏面検出アライメントシステムで検出する。その後所定の位置にウェハ9を位置決めして所望のパターンをウェハ9の表面のレジスト23に形成する際に、表面検出用のアライメントマーク22も同時に形成し、いずれもウェハ9に転写しておけば、次のリソグラフィ工程では表面検出法によるアライメントが可能となる。この場合は、ウェハの表裏で位置関係が一義に決定するので好ましい。この時の誤差要因は、裏面検出アライメントシステムの検出誤差 σ_r （0.05 μm （3 σ ）程度）と表面検出アライメントシステムの検出誤差 σ_s （0.1 μm （3 σ ）程度）のみである。従って、第2層目の総合アライメント誤差 σ_{rt} は式1となる。

【0014】

【数1】

(1)

誤差は、必然的にウェハの裏面マークとは何の相関も有していないので、そのまま位置検出誤差となる。よって、次の第二のリソグラフィ工程で裏面アライメントシステムを用いた場合の第2層目の総合アライメント誤差 σ_{st} は式2となる。

【0016】

【数2】

(2)

9の結晶の欠陥に依存して生じる。もし、理想的な結晶で無欠陥であれば σ_s は0になるが、実際にはほとんどのウェハ9には欠陥があるために加工誤差が生じてしまう。この場合の第2層目の総合アライメント精度 σ_{st} は式3となる。

【0018】

【数3】

(3)

て縮小投影露光装置を用いてパターンを形成する方法を説明する。図5は縮小投影露光装置の模式図である。縮小投影露光装置は、集積回路のパターンの描かれたレティクル4を照明光学系1で照明し、コンデンサレンズ2、縮小投影レンズ7を通してウェハ9上に縮小転写する装置である。露光の手順は、次のように行われる。縮小投影レンズ7とウェハ9の焦点合わせはギャップセンサ8、18で行う。ギャップセンサ8、18は、空気差

圧を利用するものが簡単な構成で精度良く位置を検出できる。また、ウェハ9は、台16上のXYZθテーブル13、14、15上に載置され、所望の位置に移動ができる。このXYZθテーブル13、14、15の位置は、レーザ測長計11によりレーザ光をミラー10に照射して測定され、システム制御ユニット19で処理される。また、XYZθテーブル13、14、15は、駆動ユニット17a、17b、17cにて駆動される。

【0021】レティクル4とウェハ9の位置は精度良く相対的に位置合わせする必要がある。レティクル4の位置はレティクル位置検出光学系6で測定され、システム制御ユニット19に信号が送られる。図示の装置の場合、ウェハ9の位置は、裏面位置検出光学系12にて測定されてシステム制御ユニット19に信号が送られる。もちろん従来の表面位置検出光学系（図示せず）を用いても良い。

【0022】裏面位置検出光学系12を用いる場合、縮小投影レンズ7を検出光が通過しないいわゆるオフアクシスアライメントになる。このために、レティクル位置検出光学系6の基準点と裏面位置検出光学系12の基準点を一致させる必要がある。そこで、二つの光学系を校正する校正手段24を設ける。この校正方法を説明する。まず、図6に示すパターン25及び位置検出用のアライメントマーク3が形成されたレティクル4aを縮小投影露光装置に設置する。このレティクル4aの基準点位置検出をレティクル位置検出光学系6を用いて行う。次に、校正手段24をXYZθステージ13、14、15を駆動して縮小投影露光レンズ7の真下に移動する。この状態で照明光源1及びコンデンサレンズ2によりレティクル4aを照明し、校正手段24上にパターン25を結像させる。校正手段24は、露光光波長に感度を持つセンサ27で構成されており、結像パターンの位置を検出できる。これにより、レティクル4aの位置が縮小投影レンズ7の結像位置として検出できることになる。また、校正手段24の裏面には、裏面検出用のマーク26がある。このときに、裏面検出光学系12により、校正手段24の位置を検出すればレティクル位置検出光学系6と裏面位置検出光学系12の基準点位置が校正できることになる。校正手段24の厚さは位置検出誤差を避けるために、ウェハ9の厚さと実質的に等しく取るのが望ましい。

【0023】この校正動作を行なった後、システム制御ユニット19で相対位置ずれ量を算出し、XYZθステージ駆動ユニット17a、17b、17cに指令してウェハ9を所望の位置に移動する。その後、レティクル4を縮小投影露光装置に設置し、ウェハ9の裏面のアライメントマークを裏面検出光学系12で測定し、レティクル4を照明して、ウェハ9上の感光膜上にパターンを形成し、ウェハ9の表面にこれを転写する。以上が縮小投影露光装置を用いてリソグラフィ工程を行った場合の説

明である。なお、図5において5は位置合わせ用のテーブル、20はこのテーブル移動用の駆動手段である。

【0024】次に、この方法を用いてMOS（メタルオキシド セミコンダクター構造の絶縁ゲート型）電界効果トランジスタを製造した例を図2を用いて説明する。まず、p型Si基板51表面に、膜厚35nmのSiO₂酸化膜52を形成し、その上に膜厚100nmのSi₃N₄膜53を堆積する（図2（a））。その次にホトレジスト膜54を形成し、上記の裏面検出アライメントシステムで位置決めした後ホトレジスト膜54をパターンとする。このときに表面検出用のアライメントマーク（図示せず）を形成する。ドライエッチングによりSi₃N₄膜53をパターンとし、さらにホトレジスト膜54をマスクにBを約 $10^{13}/\text{cm}^2$ イオン打込みしてチャネルストッパを形成する（図2（b））。ついで湿式酸化により約800nmのフィールド酸化膜55を形成する（図2（c））。

【0025】Si₃N₄膜53、SiO₂酸化膜52を除去し、SiO₂からなるゲート酸化膜56を乾式酸化で形成し、Bを約 $10^{12}/\text{cm}^2$ イオン打込みする（図2（d））。次に多結晶シリコンを堆積し、Pを $10^{21}/\text{cm}^3$ 添加し、ホトレジスト膜（図示せず）をマスクにドライエッチングによりゲート57を形成する。この際上記工程で形成した表面検出用のアライメントマークを用いて、ホトレジスト膜のパターンを形成する。ソース、ドレイン形成のため、このゲート57をマスクにしてAsを約 $10^{16}/\text{cm}^2$ イオン打込みする（図2（e））。

【0026】層間絶縁膜とするPを含んだSiO₂膜58を化学気相成長（CVD）法で約500nmの厚みに形成し、熱処理して表面を平坦化する（図2（f））。次に裏面検出用のアライメントマークで位置決めして、ホトレジスト膜のパターンを形成し、ドライエッチングにより接続孔を形成する。その後Si入りのAlを蒸着し、裏面検出用のアライメントマークで位置決めして、ホトレジスト膜のパターンを形成し、ドライエッチングにより配線パターン59とする（図2（g））。以下通常通りnMOS電界効果トランジスタを製造する。

【0027】なお、最後の2つの位置決めは、表面検出用のアライメントマークで位置決めして行ってもよい。以上のプロセスによって、良好なアライメント精度でnMOS構造の集積回路を有する半導体装置が製造できた。

【0028】〈実施例2〉ダブルウェル構造のCMOS（Complementary Metal Oxide Semiconductor；n型チャネルとp型チャネルを持つMOS）の製造の例を図3に示して説明する。まず、n型基板60にSiO₂膜（図示せず）を形成し、ついでホトレジスト膜（図示せず）を形成し、前記の裏面検出アライメントシステムで位置決めした後、ホトレジスト膜をパターンとする。この

ときに表面検出用のアライメントマーク（図示せず）を形成しておく。このパターンによりSiO₂膜をパターンとし、これをマスクにnウェル61、pウェル62を自己整合法を用いて形成する（図3（a））。

【0029】次に、実施例1と同様にフィールド酸化膜55を形成するが、この時は表面検出用のアライメントマークで位置決めして行なう（この場合裏面検出用のアライメントマークを用いても、以下の工程で少なくとも一度表面検出用のアライメントマークで位置決めすればよい）。実施例1と同様にSiO₂からなるゲート酸化膜（図示せず）を形成する（図3（b））。

【0030】多結晶SiをCVD法で形成し、n型不純物の拡散で多結晶Siを導電性にし、これをパターンとしてゲート57を形成する。ゲート57をマスクにしてAs、次にBを打ち込み、ソース、ドレインとなる高濃度n型層、高濃度p型層を形成する（図3（c））。

【0031】高温CVD法によりSiO₂からなる層間絶縁膜58'を形成した後、多結晶Si63を被着し、加工する（図3（d））。パシベーション膜64を形成し、位置決めし、コンタクト孔をあけ（図3（e））、Alを蒸着し、さらに裏面検出アライメントシステムで位置決めして、配線パターン59とし（図3（f））、良好なアライメント精度でCMOS構造の集積回路を有する半導体装置が製造できた。

【0032】（実施例3）次に、図4を用いてバイポーラCMOS（以下Bi-CMOSと略す）の製造の例を説明する。図4（a）はBi-CMOSの製造工程を説明する図、図4（b）は製造したBi-CMOSの断面図である。Bi-CMOSは、高速なバイポーラと消費電力の僅かなCMOSを両立させて互いの長所を併せ持つものである。

【0033】p型基板70に高濃度n型埋込層71、高濃度p型埋込層72を形成するためにリソグラフィを行う。この時に、裏面検出アライメントシステムを有する露光装置を用いてパターンを形成する。この場合も実施例1及び2と同様に次のリソグラフィ用に表面検出用のアライメントマークを形成する。

【0034】以下の工程においては、特に記載しない限り表面検出用のアライメントマークを用いて、リソグラフィを行った。まず、薄いエピタキシャル層を成長させ、nウェル61、pウェル62を形成し、フィールド酸化膜55を形成する。多結晶シリコン層を堆積し、パターンとしてCMOSトランジスタのゲート57を形成する。バイポーラトランジスタのコレクタ、ベース領域をイオン打ち込み法で形成し、多結晶シリコン層の堆積とパターン化によりバイポーラトランジスタのエミッタ電極73を形成する。

【0035】パシベーション膜形成後、裏面検出用のアライメントマークを用いて、コンタクトホール形成、Al配線を形成し、良好なアライメント精度でBi-CM

OS構造の集積回路を製造することができた。

【0036】（実施例4）次に図7に示すように、電子線描画装置に裏面検出光学系12を設けた場合を説明する。描画データ記憶部36に格納された図形は、電子銃37と電子レンズ38a、38b、38cによってウェハ9に描画される。ウェハ9の裏面に裏面検出光学系12を設置する。校正手段24は電子線に感度を有するセンサ27で構成される。その他の部分は実施例1と同様であり、試料移動手段40はXYZθステージからなるが詳しい図は省略する。

【0037】この電子線描画装置を用い、実施例1と同様の半導体装置を製造した。最初の工程でウェハ9の裏面のアライメントマークを裏面検出光学系12を用いて検出して位置合わせを行い、表面にパターンを形成するとき、ウェハ9の表面にもアライメントマークを形成する。以後、少なくとも一度この表面のアライメントマークを用いて位置合わせを行う。このようにして、高精度で位置合わせを行なうことができた。

【0038】（実施例5）次に図8に示すように、X線投影露光装置に裏面検出光学系12を設けた場合を説明する。露光光源28より発生する光を照明ミラー29にて集光し、パターンの形成されているマスク30を照明する。反射した光は、照明ミラー31、32、33、34等からなる投影光学ミラー群42で反射され、ウェハ9上に結像してパターンを形成する。反射型光学システムの場合は、マスク30全面を一度に照明できないので、一般には、図8に示すようにマスク30とウェハ9を同期走査して露光する。また、マスク30、ウェハ9間の相対位置合わせは、実施例1と同様に本発明の裏面検出光学系12とマスク位置検出光学系35と校正手段24を用いる。位置合わせ方法については実施例1と同じである。

【0039】X線投影露光装置を用い、実施例1と同様の半導体装置を製造した。最初の工程でウェハ9の裏面のアライメントマークを裏面検出光学系12を用いて検出して位置合わせを行い、表面にパターンを形成するとき、ウェハ9の表面にもアライメントマークを形成する。以後、少なくとも一度この表面のアライメントマークを用いて位置合わせを行う。このようにして、高精度で位置合わせを行うことができた。

【0040】なお、以上の実施例は半導体装置の製造の例を示したが、他に磁気ディスクの薄膜ヘッドの加工等も一般にリソグラフィ技術が利用されており、本発明は、このような磁気ディスクの薄膜ヘッドの加工にも応用できる。

【0041】

【発明の効果】本発明の電子部品の製造方法によると、ウェハの裏面アライメントマークを検出して第一層目のパターンを形成するので、以後の重ね合わせ工程においては裏面アライメントマークを検出して位置合わせを行

っても、表面アライメントマークを検出して位置合わせしてもいずれの場合も高いアライメント精度が得られる。

【0042】また、本発明の縮小投影露光装置、電子線描画装置及びX線露光装置は、表面アライメントマークによる光、電子線、X線の反射を検出する測定系とウェハの裏面アライメントマークを検出する光学系を有し、上記の方法を行うに適する。

【図面の簡単な説明】

【図1】本発明を説明するためのウェハ断面の模式図である。

【図2】本発明をnMOS製造工程に適用した場合を示す図である。

【図3】本発明をCMOS製造工程に適用した場合を示す図である。

【図4】本発明をBi-CMOS製造工程に適用した場合を示す図である。

【図5】本発明の縮小投影露光装置の一例の模式図である。

【図6】本発明を実施するために必要なレティクルのパターンの一例を示す図である。

【図7】本発明の電子線描画装置の一例の模式図である。

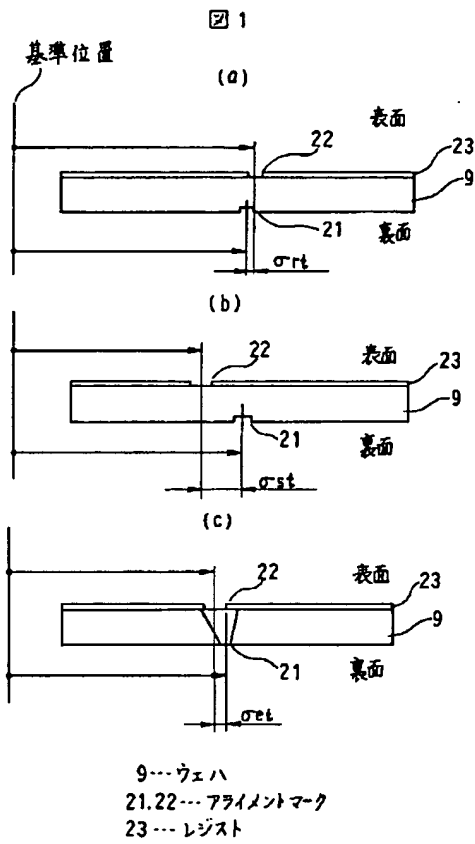
【図8】本発明のX線縮小投影露光装置の一例の模式図である。

【符号の説明】

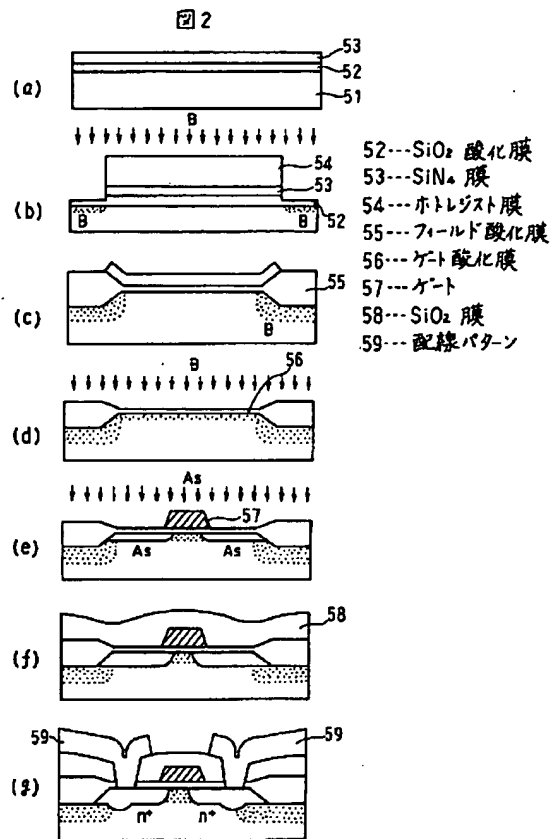
- 1 照明光源
- 2 コンデンサレンズ
- 3、21、22 アライメントマーク
- 4、4a レティクル
- 5 テーブル
- 6 レティクル位置検出光学系
- 7 縮小投影レンズ
- 8、18 ギャップセンサ
- 9 ウェハ
- 10 ミラー
- 11 レーザ測長計
- 12 裏面位置検出光学系
- 13、14、15 XYZθステージ

- 16 台
- 17a、17b、17c 駆動ユニット
- 19 システム制御ユニット
- 20 駆動手段
- 23 レジスト
- 24 校正手段
- 25 パターン
- 26 マーク
- 27 センサ
- 28 露光光源
- 29、31、32、33、34 照明ミラー
- 30 マスク
- 35 マスク位置検出光学系
- 36 描画データ記憶部
- 37 電子銃
- 38a、38b、38c 電子レンズ
- 40 試料移動手段
- 41 制御装置
- 42 投影光学ミラー群
- 51 p型Si基板
- 52 SiO₂酸化膜
- 53 Si₃N₄膜
- 54 ホトレジスト膜
- 55 フィールド酸化膜
- 56 ゲート酸化膜
- 57 ゲート
- 58 SiO₂膜
- 58' 層間絶縁膜
- 59 配線パターン
- 60 n型基板
- 61 nウェル
- 62 pウェル
- 63 多結晶Si
- 64 パシベーション膜
- 70 p型基板
- 71 高濃度n型埋込層
- 72 高濃度p型埋込層
- 73 エミッタ電極

【図1】



【図2】



【図6】

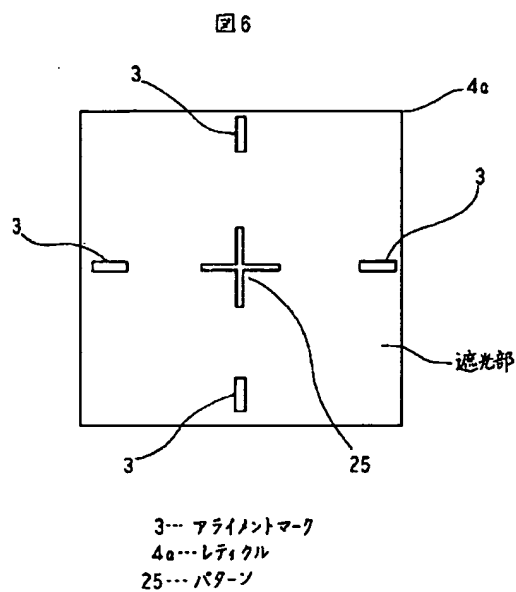


图 3

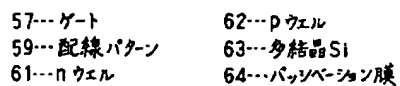
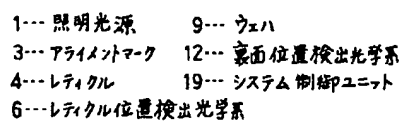


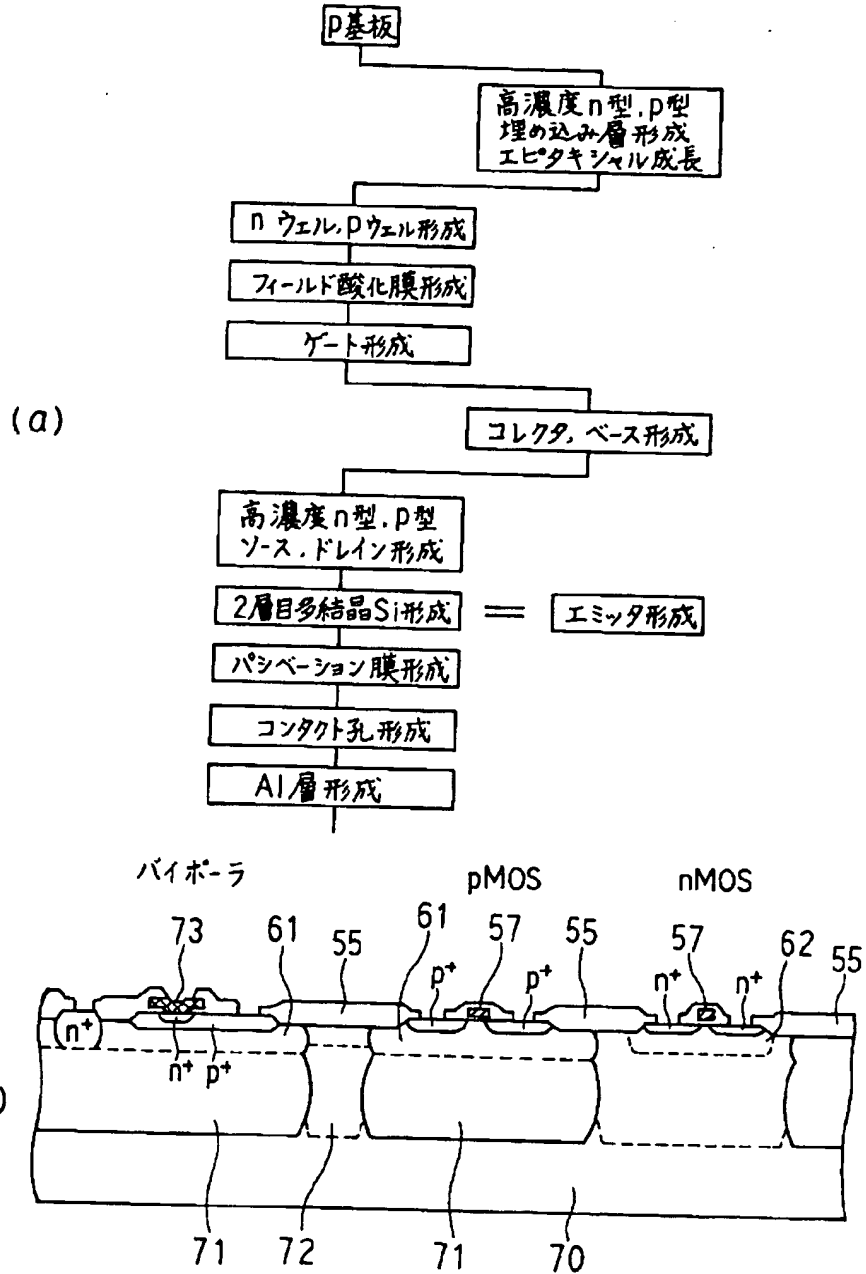
图 5



【図4】

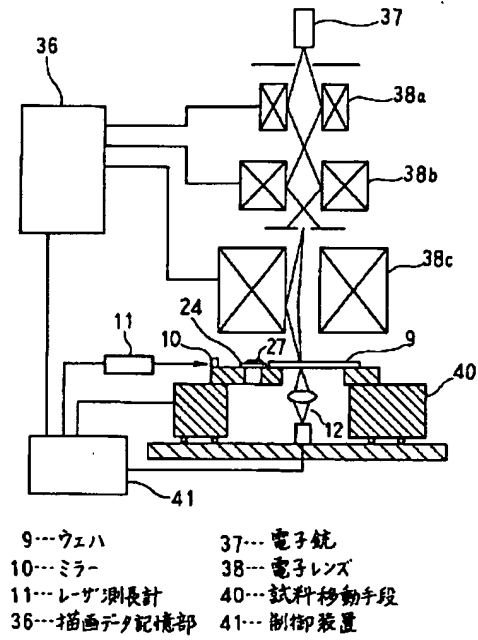
図4

CMOS工程 バイポーラ工程



【図 7】

図 7



【図 8】

図 8

